

一个用于 12 位 40-MS/s 低功耗 流水线 ADC 的 MDAC 电路设计

陈利杰, 周玉梅

(中国科学院 微电子研究所, 北京 100029)

摘 要: 文中设计了一个用于 12 位 40MHz 采样率低功耗流水线 ADC 的 MDAC 电路. 通过对运放的分时复用, 使得一个电路模块实现了两级 MDAC 功能, 达到降低整个 ADC 功耗的目的. 通过对 MDAC 结构的改进, 使得该模块可以达到 12bit 精度的要求. 通过优化辅助运放的带宽, 使得高增益运放能够快速稳定. 本设计在 TSMC 0.35 μ m mix signal 3.3V 工艺下实现, 在 40MHz 采样频率下, 以奈奎斯特采样频率满幅 ($V_{pp}=2V$) 信号输入, 其 SINAD 为 73dB, ENOB 为 11.90bit, SFDR 为 89dB. 整个电路消耗的动态功耗为 9mW.

关键词: 流水线模数转换; 采样保持; 运算放大器

中图分类号: TN43

文献标识码: A

文章编号: 1000-7180(2011)01-0108-05

A MDAC Circuit for 12-bit 40-MS/s Low Power Pipelined A/D Converters

CHEN Li-jie, ZHOU Yu-mei

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A MDAC circuit for 12bit 40MS/s low power pipelined A/D converters is presented. The low power is achieved by using the same OTA in two MDAC stages at different time. A modified MDAC reaching 12bit accuracy was designed. A gain boosted telescopic cascode amplifier was designed by optimizing the GBW of the auxiliary amplifier. The circuit is simulated and analyzed based on TSMC 0.35 μ m 3.3V CMOS process. Simulation results show that the ENOB is 11.9bit, SFDR is 89dB, SNDR is 73dB. The circuit consumes 9mW.

Key words: pipelined A/D converter; MDAC; amplifier

1 引言

市场上对高性能低功耗模数转换器需求不断增加^[1], 这在很大程度上是由于通信和消费类电子的推动. 例如, 第三代甚至第四代移动通信对语言、图像、数据等多媒体提供比第一代、第二代更快、更优的服务, 这就对模数转换器提出更宽频带和更大动态范围更低功耗的要求. 流水线(pipelined)结构是一种既能实现高速度和较高的分辨率, 又能保持较小的功耗和面积的 ADC 结构. 文中设计了用于 12-bit 精度 40MHz 采样率、低功耗流水线模数转换

器的第一、二级 MDAC 模块.

2 低功耗 MDAC 电路结构

在流水线 ADC 的每一子级中, 最关键的模块是 MDAC, 它的性能好坏决定了整个 ADC 的性能水平. MDAC 可实现采样保持、数模转换、模拟减法 and 级间放大功能, 而且一般采用开关电容电路技术来实现. 每级可转换的位数有多种, 基于以下原因本设计中选择了 1.5 位/级. 首先, 每级有 1 位冗余位来进行数字冗余修正, 大大减小比较器失调造成的影响; 其次, 1.5 位/级结构的单级闭环增益为 2, 开

关电容电路可以具有较大反馈因子,较小的单级分辨率可以获得较高的速度.典型的 1.5bit MDAC 结构如图 1 所示.在 P1 时,CS、CF 对输入的模拟信号采样,在 P2 时 CF 跨接在运放两端,CS 接 DAC 输出,电路完成减法放大功能,输出被下一级采样.在这种结构的 MDAC 中每相邻的两级总是处于不同的工作状态,采样或保持,运放只在保持状态需要参与工作.这样就可以在两级间分时复用同一个运放,来降低芯片的功耗和面积,传统的共享结构如图 2 所示^[2].

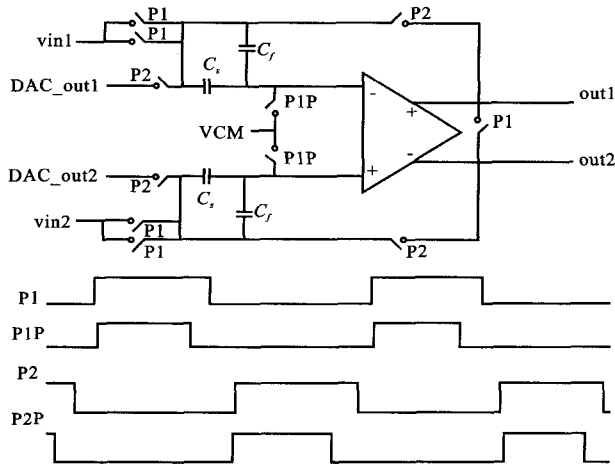


图 1 1.5bit/级 MDAC 结构

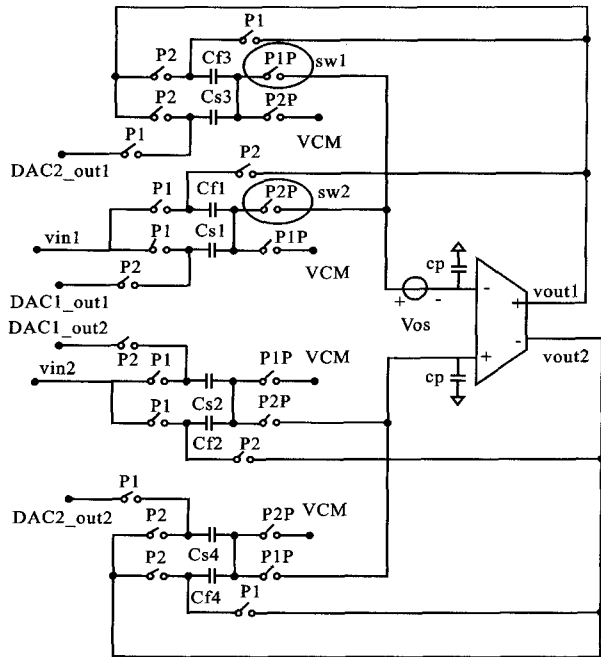


图 2 传统的运放共享结构 MDAC

在传统的复用结构中由于以下几点,使得该结构电路很难超过 10bit 精度^[3]:(1)由于运放总是处于工作状态,运放的失调电压无法消除,后级采样到

的输入信号,总是受到前级运放失调电压的影响;(2)由于为实现复用而引入的开关如 sw1 和 sw2(图 2 中椭圆所示)的寄生电容,使相邻的两级间存在相互的窜扰;(3)为了实现运放的分时复用,需要在输入端增加开关,开关的导通电阻和运放输入的电容,会影响到电路的稳定时间,对于高速应用影响更为明显.为了使所设计的 MDAC 能够达到 12bit 40MHz 的要求,针对以上几点电路进行了改进,如图 3 所示.

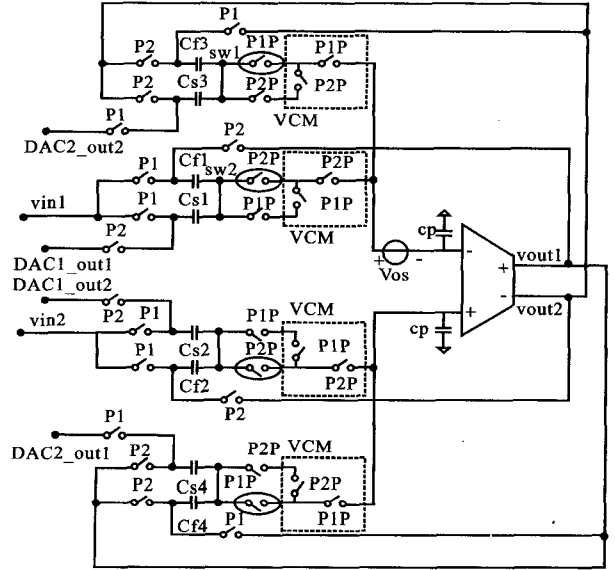


图 3 改进的运放共享结构

对于无法消除的失调电压,可通过下面的方法来减少其影响.首先分析图 2 中失调对输出产生的影响,当 P1 为高时,输入的差分模拟信号 V_{in1} 和 V_{in2} 分别由 C_{s1} 、 C_{f1} 和 C_{s2} 、 C_{f2} 采样, P1P 比 P1 提前结束以实现底板采样.运放反相端和同相的电荷分别为:

$$Q_{p1(-)} = (V_{in1} - V_{cmi}) * (C_{s1} + C_{f1}) + (V_{os} - V_{cmi}) * C_p \quad (1)$$

$$Q_{p1(+)} = (V_{in2} - V_{cmi}) * (C_{s2} + C_{f2}) - V_{cmi} * C_p \quad (2)$$

当 P2 为高时 C_{f1} 、 C_{f2} 跨接在运放两端,运放闭环工作,运放反相端和同相的电荷分别为:

$$Q_{p2(-)} = (DAC_out1 - V_- - V_{os}) * C_{s1} + (V_{out1} - V_- - V_{os}) * C_{f1} - V_- * C_p \quad (3)$$

$$Q_{p2(+)} = (DAC1_out2 - V_+) * C_{s2} + (V_{out2} - V_+) * C_{f2} - V_+ * C_p \quad (4)$$

根据电荷守恒,由式(1)、(2)可得:

$$V_{out1} = (V_{in1} - V_{cmi}) * (1 + \frac{C_{s1}}{C_{f1}}) + (V_{os} - V_{cmi}) * \frac{C_p}{C_{f1}}$$

$$+ (1 + \frac{C_p}{C_{f1}}) V_- + V_{os} - (DAC1_out1 - V_- - V_{os}) \frac{C_{s1}}{C_{f1}} \quad (5)$$

由式(2)、(4)可得:

$$V_{out2} = (V_{in2} - V_{cmi})(1 + \frac{C_{s2}}{C_{f2}}) - V_{cmi} \frac{C_p}{C_{f2}} + (1 + \frac{C_p}{C_{f2}}) V_+ - (DAC1_out2 - V_+) \frac{C_{s2}}{C_{f2}} \quad (6)$$

令运放的直流增益为 A , 则:

$$V_+ - V_- = \frac{V_{out1} - V_{out2}}{A} = \frac{V_{out}}{A}$$

令差分输入电压 $V_{in} = V_{in1} - V_{in2}$; 差分输出电压 $V_{out} = V_{out1} - V_{out2}$:

$$DAC1_out1 - DAC1_out2 = \pm V_{ref}$$

取 $C_{s1} = C_{f1} = C_{s2} = C_{f2} = C_s = C_f$, 由式(5)、(6)可化简得出差分输出与差分输入的关系为:

$$\begin{aligned} V_{out} &= \frac{(1 + \frac{C_s}{C_f}) V_{in} - D \frac{C_s}{C_f} V_{ref} + (1 + \frac{C_s + C_p}{C_f}) V_{os}}{1 + \frac{C_s + C_f + C_p}{AC_f}} \\ &\approx 2V_{in} \pm V_{ref} + \frac{A}{1 + A\beta} V_{os} \end{aligned} \quad (7)$$

其中, β 为 OTA 的闭环反馈因子 $\beta = \frac{C_f}{C_s + C_f + C_p}$, 可以看出, 在 MDAC 中, 运放的输入失调电压被放大了 $A/(1 + A\beta)$ 倍, 成为一个恒定的常数偏移, 叠加在 MDAC 的输出上. 则对传统的共享结构, 第二级的输出为:

$$\begin{aligned} V_{out} &= 2(2V_{in} \pm V_{ref} + \frac{A}{A\beta} V_{os}) \pm V_{ref} + \frac{A}{A\beta} V_{os} \\ &= 2(2V_{in} \pm V_{ref}) \pm V_{ref} + 3 \frac{A}{1 + A\beta} V_{os} \end{aligned}$$

可见运放被分时复用后, 由于运放总是处于工作状态, 无法消除失调, 经过该模块后失调的影响为 $3 \frac{A}{1 + A\beta} V_{os}$. 如果把电路改为图 3 所示的改进结构, 把第一级的输出反向的加到第二级, 则第二级的输出为:

$$\begin{aligned} V_{out} &= -2(2V_{in} \pm V_{ref} + \frac{A}{1 + A\beta} V_{os}) \pm V_{ref} + \frac{A}{1 + A\beta} V_{os} \\ &= -2(2V_{in} \pm V_{ref}) \pm V_{ref} - 2 \frac{A}{1 + A\beta} V_{os} \\ &\quad + \frac{A}{1 + A\beta} V_{os} \\ &= -2(2V_{in} \pm V_{ref}) \pm V_{ref} - \frac{A}{1 + A\beta} V_{os} \end{aligned}$$

可见失调的影响减少到 $\frac{A}{1 + A\beta} V_{os}$, 为原来的

1/3, 这对于高精度的应用是很重要的^[4]. 同时注意输出的电压极性已取反, 接入后级时要注意. 消除失调的另外一个解决方法是, 在两相非交叠时钟的间隙, 插入一个复位脉冲, 把运放的输入端接地, 来消除失调的影响^[5].

电路的第二个改进为在传统结构的基础上增加了四对额外的开关(图 3 虚线方块), 来消除相邻两级由于开关寄生电容导致的串扰. 若没有增加的额外开关, 当 sw2 闭合时, 第一级处于减法放大状态, 运放的输入端会经历一个大信号的稳定过程, 通过开关 sw1 两端的寄生电容, 会影响到处于采样状态的第二级的采样精度. 同样的, 当 sw1 闭合时, 通过 sw2 两端的寄生电容, 会影响到第一级的采样精度. 增加额外的开关后, 多了一级隔离开关, 使相邻两级达到更好的隔离; 并且使寄生电容的一端可靠的接共模电平, 减少了运放输入端大信号变化对采样电容底板电位的影响^[6]. 对于第三点开关导通电阻的影响, 可通过增加 MOS 管尺寸来减少, 使其满足 40MHz 应用的要求.

3 运算放大器、比较器

运放采用带增益提升的套筒式共源共栅结构如图 4 所示. 这是由于所需增益比较大(大于 80dB), 单级放大器达不到所需的增益, 而采用两级结构会出现相位的补偿问题, 并且功耗也比较大. 与连续时间共模反馈相比, 开关电容电路具有摆幅不受限、不消耗静态功耗的优点. 由于本设计的运放在两个时钟状态下都要工作, 其开关共模反馈结构如图 5 所示. 辅运放在传输函数中引入了一对零极点对(pole-zero doublet), 它会影响放大器的时域响应速度, 使用 matlab 分析发现运放的极点随辅助运放带宽的增加, 会由 A 到 B 到 C 变化如图 6 所示^[7]. 优化两个辅助运算放大器的单位增益带宽, 把运放的极点推向较高的频率使电路达到较快的稳定. 负载为 2p 时, 运放的整个频率响应如图 7 所示. 直流增益为 131dB, 单位增益带宽为 783MHz, 相位余度为 75 度, 符合 12bit 40MHz 的要求.

由于本设计要达到 12bit 的精度要求, 为了能够抑制回程干扰, 比较器采用了锁存器前面加了一级预放大器的结构如图 8 所示. 在比较器的锁存阶段将预放大器接成单位增益负反馈的形式, 可以达到消除预放大失调的目的^[8]. 蒙特卡罗分析表明, 该

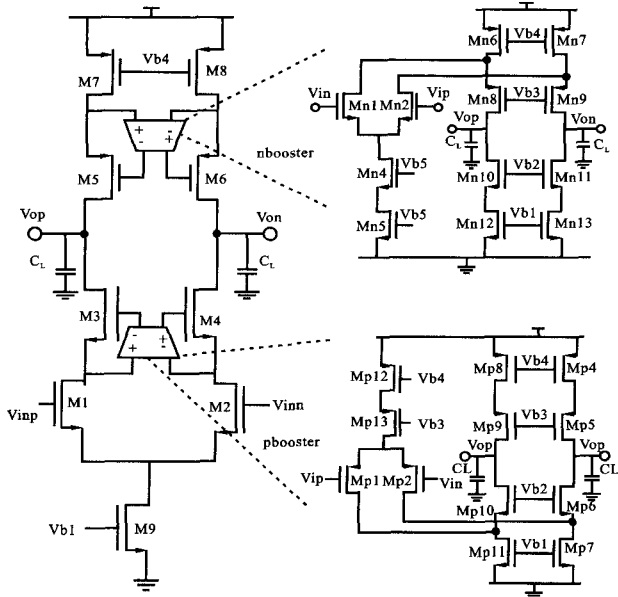


图 4 带增益提升的套筒共源共栅运算放大器

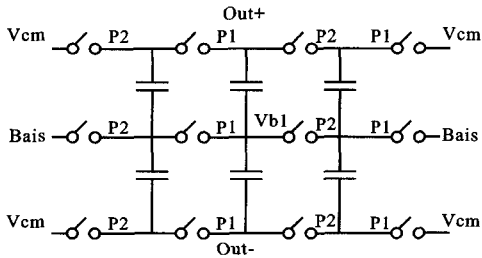


图 5 共模反馈电路

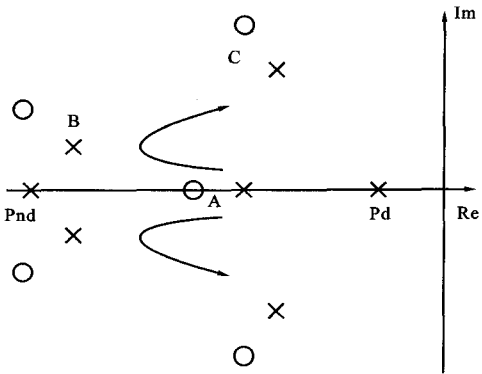


图 6 运放零极点对随辅助运放单位增益带宽的变化

比较器输入失调电压 10mV, 满足小于 $1/4V_{ref}$, 250mV 的失调范围要求。

4 仿真结果

本设计的高精度高速低功耗 MDAC 电路采用 TSMC 0.35 μ m CMOS 标准工艺设计. 使用 Cadence 和 HSPICE 进行仿真验证, 电路在 0~125 $^{\circ}$ C 内, 在各种 corner 下均能正常工作. 电路在 40MHz

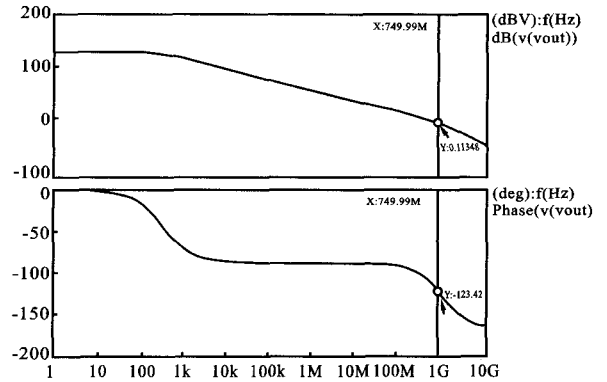


图 7 运放的频率特性

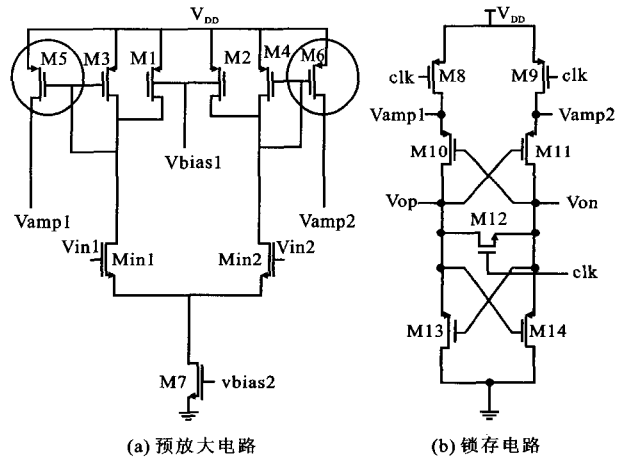


图 8 比较器电路

采样频率工作时功耗仅为 9mW. 电路的版图如图 9 所示。

在输入为直流 -0.6V 时, MDAC 模块在 P2 相时输出应为:

$$V_{out1} = 2 \times V_{in} + V_{ref} = 2 \times (-0.6) + 1 = -0.2V$$

P1 相时输出应为:

$$V_{out2} = 2 \times (-V_{out1}) + 0 \cdot V_{ref} = 0.4V$$

图 10 为输入为 -0.6V 时的后仿真结构, 输出波形值与计算值一致, 验证了电路功能的正确性. 在采样频率为 40MHz, 输入信号为 19MHz 的满幅度

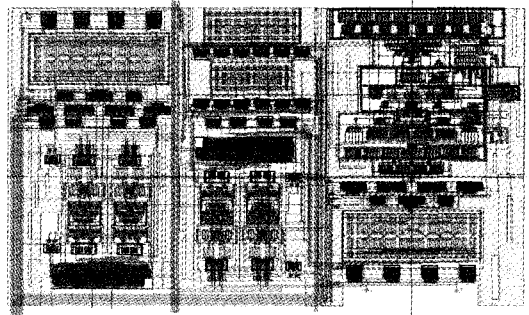


图 9 MDAC 电路版图

正弦信号($V_{pp}=2V$)时,对后仿真所得的输出信号进行 1024 点 FFT 分析,频谱如图 11 所示. $SINAD=73dB$, $ENOB=11.9bit$, $SFDR=89dB$.

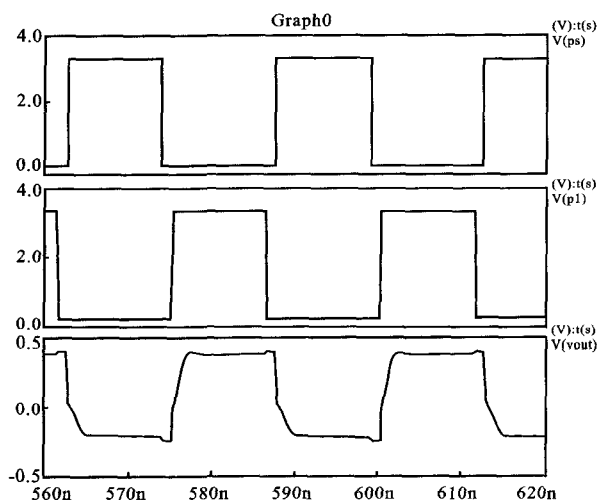


图 10 输入为 $-0.6V$ 所对应波

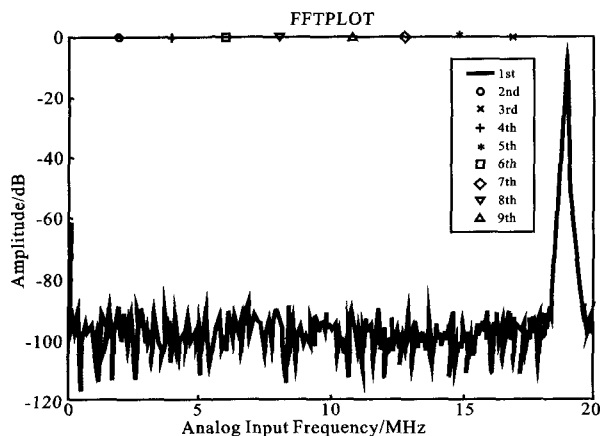


图 11 FFT 分析结果

5 结束语

文中采用 TSMC $0.35\mu m$ mix signal 3.3V 工艺设计了一个高性能低功耗的 MDAC 电路,可作为 12 位 40MHz 采样频率的流水线 A/D 转换器的第一、二级 MDAC. 通过对运放的分时复用,一个电路模块既实现了两级 MDAC 功能,又减少了整个 ADC 的功耗和面积. 通过对 MDAC 结构的改进,使得该模块可以达到 12bit 精度的要求. 通过优化辅

助运放的带宽,设计了高增益快速稳定的 OTA. 在 40MHz 采样频率下,以奈奎斯特采样频率满幅($V_{pp}=2V$)信号输入,其 $SINAD=73dB$, $ENOB=11.9bit$, $SFDR=89dB$. 整个电路消耗的动态功耗为 9mW.

参考文献:

- [1] 张凯,周贵贤,刘烨. 12 位 100MS/s ADC 中采样/保持电路的分析与设计[J]. 微电子学与计算机, 2007, 24(11): 8-13.
- [2] Nagaraj K, Fetterman H, Anidjar J. A 250-mW 8-b 52-Msamples/s parallel-pipelined A/D converter with reduced number of amplifiers[J]. IEEE JSSC, 1997, 32(3): 312-320.
- [3] Yun Chiu, Paul R Gray. A 14b 12MS/s CMOS pipeline ADC with over 100dB SFDR[J]. IEEE JSSC, 2004, 39(12): 2139-2150.
- [4] Byung Moo Min, Peter Kim. A 69mW 10bit 80MSample/s pipelined CMOS ADC[J]. IEEE JSSC, 2003, 38(12): 2131-2039.
- [5] Qian Wenrong, Dai Qingyuan, Zhu Hongwei. Design of a low power 12-Bit 30 MHz pipelined A/D converter[J]. Microelectronics, 2008, 38(2): 241-245.
- [6] Jian Li, Xiaoyang Zeng, Lei Xie. A 1.8V 22mW 10bit 30MS/s pipelined CMOS ADC for low-power subsampling applications[J]. IEEE JSSC, 2008, 43(2): 321-329.
- [7] Yuan J. GBOPCAD: a synthesis tool for high-performance gain-boosted opamp design[J]. IEEE Trans on Circuits and Systems II, 2005, 52(9): 1535-1544.
- [8] Wei B Y, Zhou Y M. MDAC for 12-Bit 40 MS/s pipelined A/D converter with digital calibration[J]. Microelectronics, 2008, 38(5): 614-617.

作者简介:

陈利杰 男, (1979-), 博士研究生. 研究方向为高速高精度低功耗 A/D 转换器电路设计与实现.

周玉梅 女, (1962-), 博士生导师, 研究员. 研究方向为深亚微米 VLSI 物理设计、低功耗设计、智能功率集成电路及数模和混合集成电路技术研究.